

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 3月 6日
Date of Application:

出願番号 特願2003-059867
Application Number:

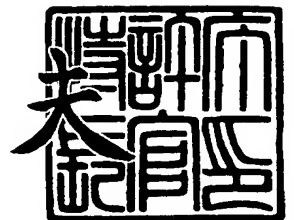
[ST. 10/C]: [JP 2003-059867]

出願人 パイオニア株式会社
Applicant(s):

2003年12月24日

特許庁長官
Commissioner,
Japan Patent Office

今井 康



出証番号 出証特2003-3106744

【書類名】 特許願

【整理番号】 57P0390

【提出日】 平成15年 3月 6日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 3/15

【発明の名称】 映像信号のフレームレート変換装置

【発明者】

【住所又は居所】 山梨県中巨摩郡田富町西花輪 2 6 8 0 番地 パイオニア株式会社内

【氏名】 落合 和徳

【発明者】

【住所又は居所】 山梨県中巨摩郡田富町西花輪 2 6 8 0 番地 パイオニア株式会社内

【氏名】 松野 篤

【発明者】

【住所又は居所】 山梨県中巨摩郡田富町西花輪 2 6 8 0 番地 パイオニア株式会社内

【氏名】 長久保 哲朗

【特許出願人】

【識別番号】 000005016

【氏名又は名称】 パイオニア株式会社

【代理人】

【識別番号】 100079119

【弁理士】

【氏名又は名称】 藤村 元彦

【手数料の表示】

【予納台帳番号】 016469

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9006557

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 映像信号のフレームレート変換装置

【特許請求の範囲】

【請求項 1】 映像信号の垂直同期周波数を所望の周波数に変換してレート変換映像信号を生成する映像信号のフレームレート変換装置であって、

前記映像信号における 1 フレーム分の記憶容量を有するフレームメモリと、

前記映像信号における垂直同期信号に同期したタイミングにて前記映像信号を各画素に対応させて順次前記フレームメモリに書き込むメモリ書込制御手段と、

前記垂直同期信号の M 周期分（M は自然数）の期間毎に N 個（N は自然数）のパルスが存在する周波数信号を発生しこれをレート変換垂直同期信号として生成する垂直同期信号生成手段と、

前記レート変換垂直同期信号に同期したタイミングにて前記フレームメモリに記憶されている前記映像信号を書き込まれた順に読み出しこれを前記レート変換映像信号とするメモリ読出制御手段と、を有することを特徴とする映像信号のフレームレート変換装置。

【請求項 2】 前記 N は前記 M よりも大であり且つ前記 M の 2 倍の値よりも小であることを特徴とする請求項 1 記載のフレームレート変換装置。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】

本発明は、入力映像信号を、この入力映像信号の垂直同期周波数とは異なる所望の垂直同期周波数を有する映像信号に変換するフレームレート変換装置に関する。

【0002】

【従来の技術】

現在、上記の如きフレームレート変換回路を搭載したプラズマディスプレイ装置が製品化されている（例えば、特許文献 1 の図 1 参照）。

かかるフレームレート変換回路は、2 つの第 1 及び第 2 フレームメモリと、これら第 1 及び第 2 フレームメモリー各々の書込及び読出制御を行うフレームメモ

り制御手段と、から構成される。フレームメモリ制御手段は、入力映像信号を一方のフレームメモリに書き込ませつつ、入力映像信号の垂直同期周波数とは異なる所望の垂直同期周波数に応じた読出速度にて映像信号を読み出すべく他方のフレームメモリを制御する。この際、フレームメモリ制御手段は、入力映像信号から垂直同期信号を検出する度に、上述した如き読み出し対象（又は書き込み対象）とすべきフレームメモリを交互に切り替える。かかる動作により、フレームメモリの読出動作中にその記憶内容が次のフレームの映像信号に書換えられてしまう、いわゆるコマ追越現象を防止しつつ、入力映像信号を、所望の垂直同期周波数を有する映像信号に変換（フレームレート変換）することが可能となる。しかしながら、このようなフレームレート変換回路では、フレームメモリーを2つ必要とする為、装置規模が大になるという問題があった。

【0003】

【特許文献1】

特許 3125269号公報(図1)

【0004】

【発明が解決しようとする課題】

本発明は、単一のフレームメモリにて映像信号のフレームレート変換が可能なフレームレート変換装置を提供することを目的とする。

【0005】

【課題を解決するための手段】

請求項1記載による映像信号のフレームレート変換装置は、映像信号の垂直同期周波数を所望の周波数に変換してレート変換映像信号を生成する映像信号のフレームレート変換装置であって、前記映像信号における1フレーム分の記憶容量を有するフレームメモリと、前記映像信号における垂直同期信号に同期したタイミングにて前記映像信号を各画素に対応させて順次前記フレームメモリに書き込むメモリ書込制御手段と、前記垂直同期信号のM周期分（Mは自然数）の期間毎にN個（Nは自然数）のパルスが存在する周波数信号を発生しこれをレート変換垂直同期信号として生成する垂直同期信号生成手段と、前記レート変換垂直同期信号に同期したタイミングにて前記フレームメモリに記憶されている前記映像信

号を書き込まれた順に読み出しこれを前記レート変換映像信号とするメモリ読出制御手段と、を有する。

【0006】

【発明の実施の形態】

以下、本発明の実施例を図を参照しつつ説明する。

図1は、本発明によるフレームレート変換装置の構成を示す図である。

図1において、同期検出回路1は、入力映像信号中から垂直同期信号を検出する度に垂直同期検出信号Vを発生し、これをメモリ書込制御回路2及びレート変換垂直同期信号発生回路3に供給する。メモリ書込制御回路2は、垂直同期検出信号Vに同期した各画素毎の書き込みタイミングを示す書込信号WRを生成し、これをフレームメモリ4に供給する。

【0007】

レート変換垂直同期信号発生回路3は、第1変換係数M及び第2変換係数N（M及びNは自然数）に基づき、入力映像信号の垂直同期信号（周波数 f_1 ）を所望の垂直同期周波数 f_2 を有するレート変換垂直同期信号VDに変換し、これを上記垂直同期検出信号Vに同期したタイミングにて出力する。尚、第2変換係数Nは第1変換係数Mよりも大であり且つ第1変換係数Mの2倍以下の値に設定される。

【0008】

すなわち、レート変換垂直同期信号発生回路3は、

$$f_2 = f_1 \cdot (N/M)$$

$$M < N \leq 2 \cdot M$$

なる垂直同期周波数 f_2 を有するレート変換垂直同期信号VDを発生する。この際、レート変換垂直同期信号発生回路3は、レート変換垂直同期信号VDにおける連続したN個のパルスからなるパルス列毎に、そのパルス列内の少なくとも1のパルスが上記垂直同期検出信号Vにおける1つのパルスと同一タイミングとなるタイミングでレート変換垂直同期信号VDを出力する。

【0009】

例えば、PAL方式テレビジョン信号の如き垂直同期周波数が50[Hz]の入

力映像信号を垂直同期周波数 60 [Hz] の映像信号に変換する場合には、上記第 1 変換係数 M を「5」、第 2 変換係数 N を「6」に設定する。これにより、レート変換垂直同期信号発生回路 3 は、図 2 に示す如く、垂直同期検出信号 V の「5」周期分の期間毎に、つまり $5 \times (1/50)$ [sec] なる期間内に、「6」つの連続したパルスが存在する 60 [Hz] のレート変換垂直同期信号 VD を出力する。この際、レート変換垂直同期信号 VD における連続した 6 個のパルスからなるパルス列毎にそのパルス列内の 1 パルスが、図 2 中の波線にて示す如く垂直同期検出信号 V における 1 つのパルスと同一タイミングとなる。すなわち、レート変換垂直同期信号発生回路 3 は、50 [Hz] の垂直同期検出信号 V に同期した 60 [Hz] のレート変換垂直同期信号 VD を出力するのである。

【0010】

又、50 [Hz] の入力映像信号を垂直同期周波数 70 [Hz] の映像信号に変換する場合には、上記第 1 変換係数 M を「5」、第 2 変換係数 N を「7」に設定する。これにより、レート変換垂直同期信号発生回路 3 は、図 3 に示す如く、垂直同期検出信号 V の「5」周期分の期間毎に、つまり $5 \times (1/50)$ [sec] なる期間内に、「7」つの連続したパルスが存在する 70 [Hz] のレート変換垂直同期信号 VD を出力する。この際、レート変換垂直同期信号 VD における連続した 7 個のパルスからなるパルス列毎にそのパルス列内の 1 のパルスが、図 3 中の波線にて示す如く垂直同期検出信号 V における 1 のパルスと同一タイミングとなる。すなわち、レート変換垂直同期信号発生回路 3 は、50 [Hz] の垂直同期検出信号 V に同期した 70 [Hz] のレート変換垂直同期信号 VD を出力するのである。

【0011】

又、NTSC 方式テレビジョン信号の如き垂直同期周波数が 60 [Hz] の入力映像信号を垂直同期周波数 72 [Hz] の映像信号に変換する場合には、上記第 1 変換係数 M を「5」、第 2 変換係数 N を「6」に設定する。これにより、レート変換垂直同期信号発生回路 3 は、垂直同期検出信号 V の「5」周期分の期間毎に、つまり $5 \times (1/60)$ [sec] なる期間内に、「6」つの連続したパルスが存在する 72 [Hz] のレート変換垂直同期信号 VD を出力する。

【0012】

又、上記第1変換係数M及び第2変換係数Nが共に「1」に設定されると、レート変換垂直同期信号発生回路3は、入力映像信号の垂直同期周波数と同一周波数のレート変換垂直同期信号VDを出力することになる。

以上の如く、レート変換垂直同期信号発生回路3は、前述した如き $f_1 \cdot (N/M)$ なる垂直同期周波数を有するレート変換垂直同期信号VDを得るべく、垂直同期検出信号VのM周期分の期間毎にN個のパルスが存在する周波数信号を発生し、これをレート変換垂直同期信号VDとするのである。

【0013】

そして、レート変換垂直同期信号発生回路3は、上記レート変換垂直同期信号VDを例えばプラズマディスプレイパネル、エレクトロルミネッセンスパネル、又は液晶パネルの如きディスプレイパネルを駆動する表示駆動部（図示せぬ）、並びにメモリ読出制御回路5に供給する。

メモリ読出制御回路5は、レート変換垂直同期信号VDに同期した各画素毎の書き込みタイミングを示す読出信号WRを生成し、これをフレームメモリ4に供給する。

【0014】

フレームメモリ4は、上記書込信号WRに応じて入力映像信号を順次書き込みつつ、上記読出信号WRに応じて、書き込まれた順にその映像信号を読み出し、これをレート変換映像信号として出力する。

図4は、フレームメモリ4における記憶領域の一例を模式的に表す図である。

図4に示す一例においては、フレームメモリ4はディスプレイパネルの全画素、つまり第1画素～第n画素各々に対応した番地「1」～「n」なる記憶領域を有する。フレームメモリ4は、書込信号WRに応じて、画像1フレーム分の入力映像信号を番地「1」～「n」各々に順次上書きする。従って、次の画像1フレーム分の入力映像信号が供給される度に、その記憶内容が番地「1」～「n」なる順に上書きされて行くのである。この間、フレームメモリ4は、読出信号WRに応じて、番地「1」～「n」なる順に、その記憶内容を読み出す。つまり、フレームメモリ4は、書き込まれた順にディスプレイパネルの第1画素～第n画素

各々に対応した映像信号を順次読み出すのである。

【0015】

図5は、図1に示されるフレームレート変換装置の動作の一例を示す図である。

尚、図5は、レート変換垂直同期信号発生回路3における第1変換係数Mを「2」、第2変換係数Nを「3」に設定した場合の動作を示している。

図5に示すように、かかる設定状態にあると、レート変換垂直同期信号発生回路3は、垂直同期検出信号Vの「2」周期分毎に、その期間内に「3」つの連続したパルスが存在するレート変換垂直同期信号VDを出力する。つまり、レート変換垂直同期信号発生回路3は、図5中の波線にて示す如く入力映像信号の垂直同期信号に同期し、且つその垂直同期周波数の $(3/2)$ 倍の周波数を有するレート変換垂直同期信号VDを出力するのである。ここで、図5に示すように、画像フレームA、画像フレームB、画像フレームC、・・・、画像フレームEに対応した入力映像信号が供給されると、フレームメモリ4は、垂直同期検出信号Vに応じたタイミングにて、各画像フレームに対応した入力映像信号を番地「1」～「n」に順次上書き記憶して行く。例えば、画像フレームAに対応した入力映像信号が番地「1」～「n」に全て記憶されると、次の画像フレームBに対応した入力映像信号が供給されるので、画像フレームAに対応した記憶内容は徐々に画像フレームBに対応したものと書き換えられる。この間、フレームメモリ4は、図5に示す如きレート変換垂直同期信号VD₁に応じたタイミングにて、番地「1」～「n」に記憶されている内容を順次読み出す。この際、画像フレームBに対する書き込みが同時に為されることになるが、レート変換垂直同期信号VDが垂直同期検出信号Vよりも高周波数であることから、画像フレームBに対する書き込み速度よりも、画像フレームAに対する読み出し速度の方が速い。従って、フレームメモリ4の記憶内容が全て画像フレームBに対応した映像信号に書き換えられる前に、画像フレームAに対応した映像信号が全て読み出されることになる。そして、番地「1」～「n」に記憶されていた画像フレームAの読み出しが終了すると、フレームメモリ4は、図5に示す如きレート変換垂直同期信号VD₂に応じたタイミングにて再び番地「1」からその読み出しを行う。この際

、次のレート変換垂直同期信号 VD_3 が供給されるまでの間に、フレームメモリ 4 の番地「1」～「n」には画像フレーム B の映像信号が上書き記憶される。よって、レート変換垂直同期信号 VD_2 及び VD_3 間において、フレームメモリ 4 からは、番地「1」～「n」に記憶されている画像フレーム B に対応した映像信号の読み出しが為されることになる。そして、番地「1」～「n」に記憶されていた画像フレーム B の読み出しが終了すると、フレームメモリ 4 は、垂直同期検出信号 V に応じたタイミングにて、次の画像フレーム C に対応した映像信号の書き込みを開始すると共に、下記の如き読み出しを開始する。すなわち、図 5 に示す如きレート変換垂直同期信号 VD_3 に応じたタイミングにて、番地「1」から番地「n」へ向けて記憶内容の読み出しを行うのである。この際、レート変換垂直同期信号 VD が垂直同期検出信号 V よりも高周波数であることから、その記憶内容が画像フレーム C に書き換わる速度よりも、記憶されている画像フレーム B を読み出す速度の方が速い。従って、フレームメモリ 4 からは、引き続き画像フレーム B に対応した映像信号が順次読み出されることになる。そして、画像フレーム B に対応した映像信号の再読み出しが全て終了すると、フレームメモリ 4 は、図 5 に示す如きレート変換垂直同期信号 VD_4 に応じたタイミングにて、番地「1」～「n」に記憶されている内容を順次読み出す。この際、次のレート変換垂直同期信号 VD_5 が供給されるまでの間に、フレームメモリ 4 の番地「1」～「n」には画像フレーム C の映像信号が全て上書き記憶される。よって、レート変換垂直同期信号 VD_4 及び VD_5 間において、フレームメモリ 4 は、画像フレーム C に対応した映像信号の読み出しを行うことになる。そして、番地「1」～「n」に記憶されていた画像フレーム C の読み出しが終了すると、フレームメモリ 4 は、レート変換垂直同期信号 VD_5 に応じたタイミングにて再び番地「1」からその読み出しを行う。この際、次のレート変換垂直同期信号 VD_6 が供給されるまでの間に、フレームメモリ 4 の番地「1」～「n」には画像フレーム D の映像信号が上書き記憶される。よって、レート変換垂直同期信号 VD_5 及び VD_6 間において、フレームメモリ 4 からは、番地「1」～「n」に記憶されている画像フレーム D に対応した映像信号の読み出しが為されることになる。そして、番地「1」～「n」に記憶されていた画像フレーム D の読み出しが終了すると、フレー

ムメモリ 4 は、垂直同期検出信号 V に応じたタイミングにて、次の画像フレーム E に対応した映像信号の書き込みを開始すると共に、下記の如き読み出しを開始する。すなわち、図 5 に示す如きレート変換垂直同期信号 VD_6 に応じたタイミングにて、番地「1」から番地「n」へ向けて記憶内容の読み出しを行うのである。この際、レート変換垂直同期信号 VD が垂直同期検出信号 V よりも高周波数であることから、その記憶内容が画像フレーム E に書き換わる速度よりも、記憶されている画像フレーム D を読み出す速度の方が速い。従って、フレームメモリ 4 からは、引き続き画像フレーム D に対応した映像信号が順次読み出されることになる。

【0016】

上述した如き動作によれば、フレームメモリの読出動作中にその記憶内容が次のフレームの映像信号に書換えられてしまう、いわゆるコマ追越現象を生じさせることなく、映像信号の垂直同期周波数が $(3/2)$ 倍に変換される。すなわち、図 1 に示す如きフレーム変換回路によれば、コマ追越現象を生じさせることなく、単一のフレームメモリにて、入力映像信号を所望の垂直同期周波数を有する映像信号に変換（フレームレート変換）することが可能となる。

【図面の簡単な説明】

【図 1】

フレームレート変換装置の構成を示す図である。

【図 2】

第 1 変換係数 M が「5」、第 2 変換係数 N が「6」に設定された場合に垂直同期検出信号 V に基づいて生成されたレート変換垂直同期信号 VD の波形の一例を示す図である。

【図 3】

第 1 変換係数 M が「5」、第 2 変換係数 N が「7」に設定された場合に垂直同期検出信号 V に基づいて生成されたレート変換垂直同期信号 VD の波形の一例を示す図である。

【図 4】

フレームメモリ 4 における記憶領域の一例を模式的に表す図である。

【図 5】

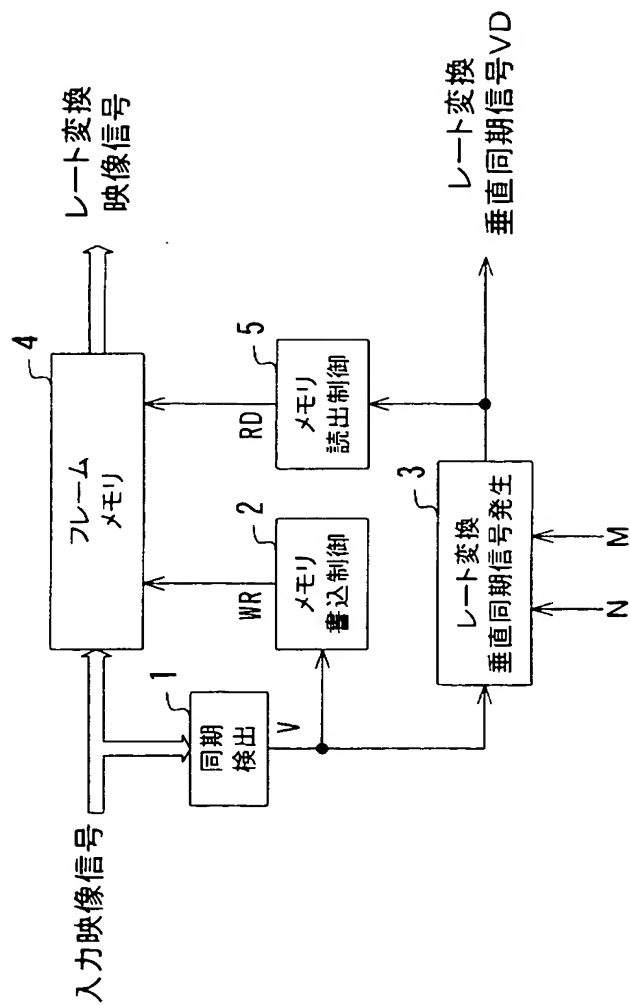
第 1 変換係数 M が「3」、第 2 変換係数 N が「2」に設定された場合におけるフレームレート変換装置の動作の一例を示す図である。

【主要部分の符号の説明】

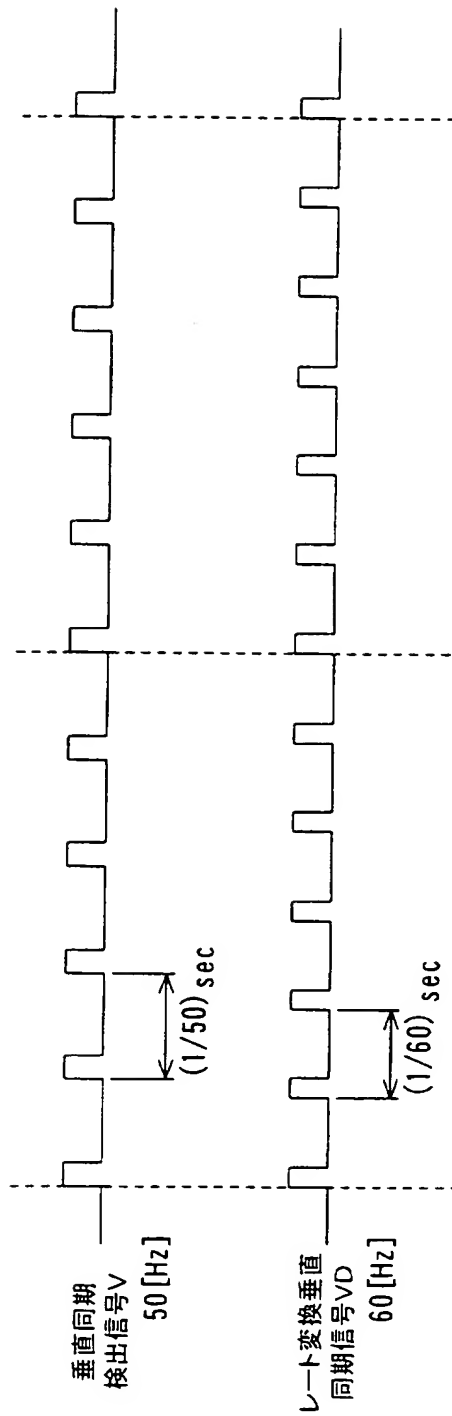
- 1 同期検出回路
- 2 メモリ書込制御回路
- 3 レート変換垂直同期信号発生回路
- 4 フレームメモリ
- 5 メモリ読出制御回路

【書類名】 図面

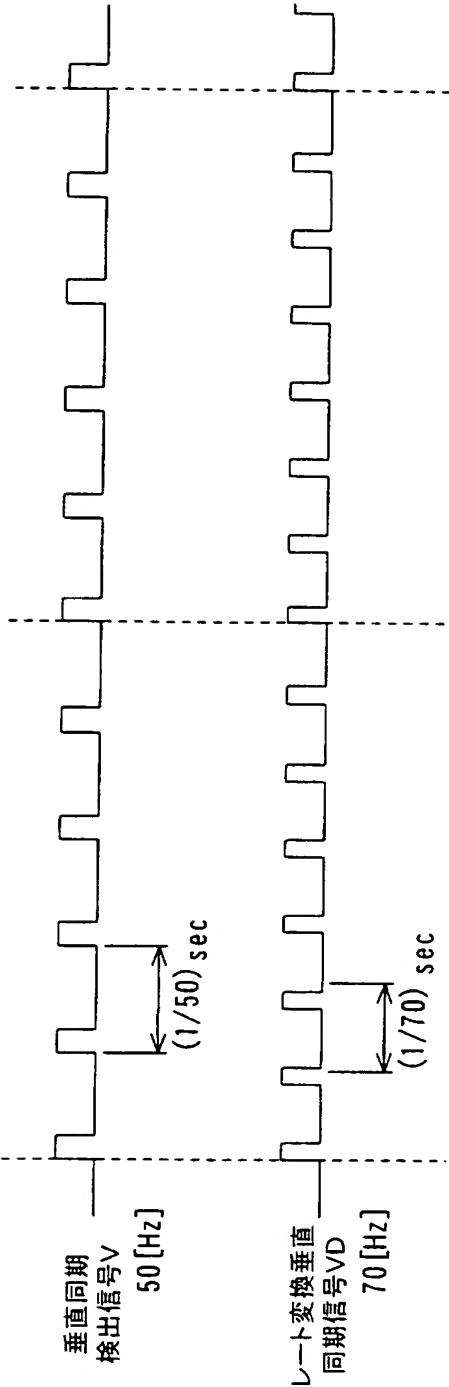
【図 1】



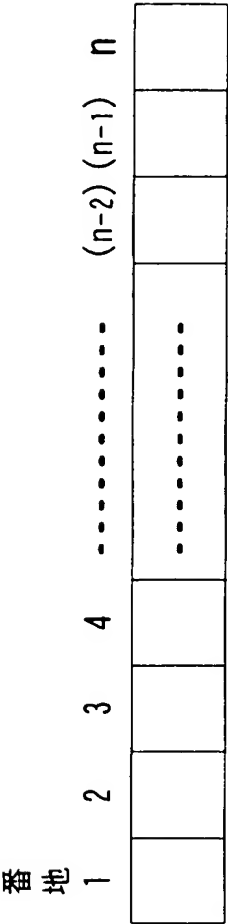
【図 2】



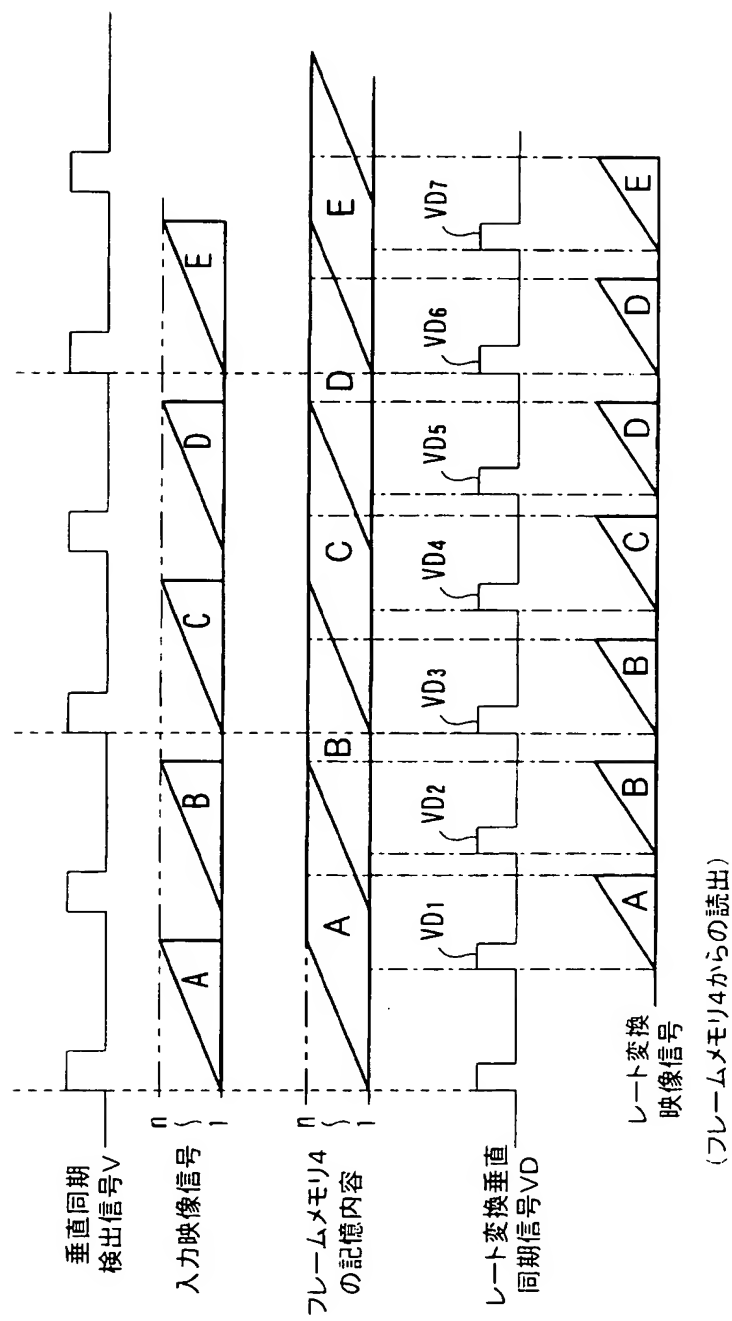
【図 3】



【図 4】



【図 5】



【書類名】 要約書

【要約】

【目的】 単一のフレームメモリにて映像信号の垂直同期周波数の変換（フレームレート変換）が可能なフレームレート変換装置を提供することを目的とする。

【解決手段】 映像信号における垂直同期信号に同期したタイミングにて、この映像信号を各画素に対応させて順次フレームメモリに書き込む。この間、上記垂直同期信号のM周期分の期間毎にN個のパルスを有する周波数信号をレート変換垂直同期信号として生成し、このレート変換垂直同期信号に同期したタイミングにてフレームメモリに記憶されている映像信号を書き込まれた順に読み出す。かかる構成により、コマ追越現象を生じさせることなく、単一のフレームメモリにて、入力映像信号を所望の垂直同期周波数を有する映像信号に変換（フレームレート変換）することが可能となる。

【選択図】 図1

特願 2 0 0 3 - 0 5 9 8 6 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 0 1 6]

1. 変更年月日
[変更理由]

1 9 9 0 年 8 月 3 1 日

新規登録

住 所
氏 名

東京都目黒区目黒 1 丁目 4 番 1 号
パイオニア株式会社